

End of Result Set



Generate Collection

Print

L2: Entry 1 of 1

File: JPAB

Aug 24, 2001

PUB-NO: JP02001230407A
DOCUMENT-IDENTIFIER: JP 2001230407 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: August 24, 2001

INVENTOR-INFORMATION:

NAME

COUNTRY

INOUE, KAORU

NISHII, KATSUNORI

MASATO, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

APPL-NO: JP2000373612

APPL-DATE: December 7, 2000

INT-CL (IPC): H01 L 29/778; H01 L 21/338; H01 L 29/812

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device for improving breakdown voltage characteristics by reducing the leakage current of a field effect transistor due to a gallium nitride-based semiconductor.

SOLUTION: This semiconductor device is provided with a buffer layer 102 containing GaN where a substrate 101 and a surface formed on the substrate 101 are the c surface of a Ga atom, a channel layer 103 containing GaN or InGa_N where a surface formed on the buffer layer 102 is the c surface of the Ga or In atom, an electron supply layer 104 containing AlGa_N where a surface formed on the channel layer 103 is the c surface of Al or Ga atom, a source electrode 106 and a drain electrode 108 formed on the electron supply layer 104, a cap layer 105 containing the GaN or InGaAl_N that is the c surface of the Ga or In atom formed between the source electrode 106 and the drain electrode 108, and a gate electrode that is formed so that it is in contact with the cap layer 105.

COPYRIGHT: (C) 2001, JPO

(51) Int.Cl.

識別記号

F I

キーワード(参考)

H 0 1 L 29/778

H 0 1 L 29/80

H

21/338

29/812

審査請求 未請求 請求項の数18 O L (全 11 頁)

(21) 出願番号 特願2000-373612(P2000-373612)

(22) 出願日 平成12年12月7日(2000.12.7)

(31) 優先権主張番号 特願平11-349330

(32) 優先日 平成11年12月8日(1999.12.8)

(33) 優先権主張国 日本(JP)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 井上 薫

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 西井 勝則

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 正戸 宏幸

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100078282

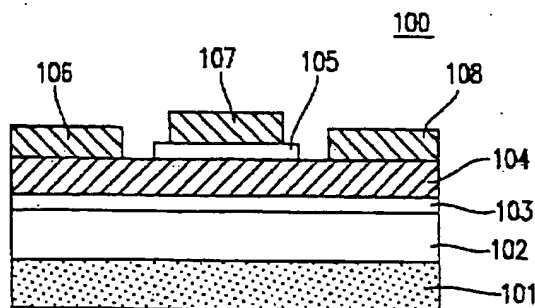
弁理士 山本 秀策

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 窒化ガリウム系半導体による電界効果トランジスタのリーク電流を低減し、耐圧特性を改善出来る半導体装置を提供する。

【解決手段】 基板101と基板101の上に形成された表面がGa原子のc面であるGaNを含むバッファ層102と、バッファ層102の上に形成された表面がGa又はIn原子のc面であるGaN又はInGaNを含むチャネル層103と、チャネル層103の上に形成された表面がAl又はGa原子のc面であるAlGaNを含む電子供給層104と、電子供給層104の上に形成されたソース電極106ドレイン電極108と、ソース電極106、ドレイン電極108の間に形成されたGa又はIn原子のc面であるGaN又はInGaAlNを含むキャップ層105と、キャップ層105に接するように形成されたゲート電極を備える。



【特許請求の範囲】

【請求項1】 基板と、

該基板の上に形成されたGa_xNを含むバッファ層であって、該バッファ層の表面がGa原子のc面である、バッファ層と、

該バッファ層の上に形成されたGa_xNまたはInGa_{1-x}Nを含むチャンネル層であって、該チャンネル層の表面がGaまたはIn原子のc面である、チャンネル層と、

該チャンネル層の上に形成されたAlGa_{1-x}Nを含む電子供給層であって、該電子供給層の表面がAlまたはGa原子のc面である、電子供給層と、

該電子供給層の上に形成されたソース電極およびドレイン電極と、

該ソース電極と該ドレイン電極との間に形成されたGa_xNまたはInGa_{1-x}AlNを含むキャップ層であって、該キャップ層の表面はGaまたはIn原子のc面であり、該キャップ層の少なくとも一部が該電子供給層に接する、キャップ層と、

少なくとも一部が該キャップ層に接するように形成されたゲート電極と、

を備えた半導体装置。

【請求項2】 前記ゲート電極の少なくとも一部が前記電子供給層に接するように形成される、請求項1に記載の半導体装置。

【請求項3】 前記ゲート電極が前記キャップ層の上に形成される、請求項1に記載の半導体装置。

【請求項4】 前記キャップ層はInGa_{1-x}AlNからなり、

該キャップ層の組成はc面内で前記バッファ層とほぼ格子定数の整合がとれ、

かつ該キャップ層内に発生する分極の大きさの絶対値が前記電子供給層内に発生する分極の絶対値よりも小さくなるように該電子供給層は形成される、請求項1に記載の半導体装置。

【請求項5】 前記キャップ層にn型不純物が部分的あるいは全体に添加された、請求項1に記載の半導体装置。

【請求項6】 前記ゲート電極が前記ドレイン電極よりも前記ソース電極の近くに位置する、請求項1に記載の半導体装置。

【請求項7】 前記ゲート電極の表面積が前記キャップ層の表面積よりも大きい、請求項3に記載の半導体装置。

【請求項8】 前記ゲート電極は、前記キャップ層が薄膜化または除去された領域に位置する、請求項1に記載の半導体装置。

【請求項9】 前記ゲート電極は前記キャップ層の前記ソース電極側に形成され、該ゲート電極と前記ドレイン電極との間に前記キャップ層が形成される、請求項1に記載の半導体装置。

【請求項10】 前記キャップ層は、前記電子供給層の上に形成された半導体層と、該半導体層上に形成された絶縁膜とを備える、請求項1に記載の半導体装置。

【請求項11】 基板と、

該基板の上に形成されたAlGa_{1-x}Nを含むバッファ層であって、該バッファ層の表面がN原子のc面である、バッファ層と、

該バッファ層の上に形成されたAlGa_{1-x}Nを含む電子供給層であって、該電子供給層の表面がN原子のc面である、電子供給層と、

該電子供給層の上に形成されたGa_xNまたはInGa_{1-x}Nを含むチャンネル層であって、該チャンネル層の表面がN原子のc面である、チャンネル層と、

該チャンネル層の上に形成されたソース電極およびドレイン電極と、

該ソース電極と該ドレイン電極との間に形成されたAlGa_{1-x}Nを含むキャップ層であって、該キャップ層の表面はN原子のc面であり、該キャップ層の少なくとも一部が該チャンネル層に接する、キャップ層と、

少なくとも一部が該キャップ層に接するように形成されたゲート電極と、を備えた半導体装置。

【請求項12】 前記ゲート電極の少なくとも一部が前記チャンネル層に接するように形成される、請求項11に記載の半導体装置。

【請求項13】 前記ゲート電極が前記キャップ層の上に形成される、請求項11に記載の半導体装置。

【請求項14】 前記ゲート電極が前記ドレイン電極よりも前記ソース電極の近くに位置する、請求項11に記載の半導体装置。

【請求項15】 前記ゲート電極の表面積が前記キャップ層の表面積よりも大きい、請求項13に記載の半導体装置。

【請求項16】 前記ゲート電極は、前記キャップ層が薄膜化または除去された領域に位置する、請求項11に記載の半導体装置。

【請求項17】 前記ゲート電極は前記キャップ層の前記ソース電極側に形成され、該ゲート電極と前記ドレイン電極との間に前記キャップ層が形成される、請求項11に記載の半導体装置。

【請求項18】 前記キャップ層は、前記電子供給層の上に形成された半導体層と、該半導体層上に形成された絶縁膜とを備える、請求項11に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関するものであり、詳細には、一般的にIn_xAl_{1-x}Ga_{1-x-y}N (0 ≤ x ≤ 1, 0 ≤ y ≤ 1) で表される窒化ガリウム系半導体のヘテロ構造を用いた電界効果型トランジスタに関するものである。

【0002】

【従来の技術】GaN、AlGa_N、InGa_N、InAlGa_N等の窒化ガリウム系半導体は高い絶縁破壊電界強度、高い熱伝導率、高い電子飽和速度を有しており高周波のパワーデバイス材料として有望である。特に、AlGa_N/Ga_Nヘテロ接合構造を有する半導体装置は、AlGa_NとGa_Nとのヘテロ接合界面付近に電子が高濃度で蓄積し、いわゆる二次元電子ガスが形成される。この二次元電子ガスはAlGa_Nに添加されるドナー不純物とは空間的に分離されて存在するため高い電子移動度を示し、このヘテロ構造を用いて電界効果型トランジスタを作製した場合、ソース抵抗成分を低減することができる。また、ゲート電極から二次元電子ガスまでの距離dは通常数十nmと短いため、ゲート長L_gが100nm程度と短くても、ゲート長L_gと距離dとの比(すなわち、アスペクト比)L_g/dは、5から10程度に大きくできる。従って、ヘテロ構造を用いた半導体装置は、短チャネル効果が小さく、良好な飽和特性を有する電界効果型トランジスタを容易に作製することができるという優れた特徴を有する。さらにAlGa_N/Ga_N系ヘテロ構造における二次元電子は 1×10^5 V/cm程度の高電界領域で、現在高周波トランジスタとして普及しているAlGaAs/InGaAs系の場合に比べて2倍以上の電子速度を有し、高周波のパワーデバイスへの応用が期待されている。

【0003】図9に、従来の半導体装置900を示す。半導体装置900は、サファイア基板またはSiC基板901上に、Ga_Nを含むバッファ層902と、Ga_NまたはInGa_Nから形成されるチャネル層903と、AlGa_Nを含む電子供給層904とが順次積層された構造である。電子供給層904上にソース電極906と、ゲート電極907と、ドレイン電極908とが設けられる。

【0004】このAlGa_N/Ga_N系ヘテロ構造は、通常[0001]面(c面)のサファイア基板またはSiC基板901上に有機金属気相成長法や分子線エピタキシー法を用いて結晶成長させることで形成される。サファイア基板またはSiC基板901上にGa_Nを含むバッファ層902を形成する場合、基板901とバッファ層902との格子定数は大きく異なるので、バッファ層902を厚く形成することが必要である。なぜなら、バッファ層902を厚く形成することで、バッファ層902と基板901との格子不整合に基づく歪が十分緩和されるからである。この厚いバッファ層902上に、Siなどのn型不純物を添加したAlGa_Nを含む電子供給層904を数十nmの厚さで形成すると、選択ドープの効果により、AlGa_NとGa_Nとのヘテロ界面において電子親和力の大きいバッファ層902の方に二次元電子ガス(すなわち、チャネル層903)が形成される。MOCVD(有機金属気相成長)法で形成されたヘテロ構造においては、結晶表面は通常、III族原子

Gaの面であり、この二次元電子ガスの濃度は、(電子供給層904に含まれる)AlGa_Nと(バッファ層902に含まれる)Ga_Nとの自発分極の差に、AlGa_Nが受ける引っ張り応力によるc軸方向のピエゾ分極の効果が加わり、電子供給層904に添加したn型不純物の濃度から予測される値よりも高濃度の電子が蓄積する。電子供給層904のAlGa_NのAl組成が0.2から0.3の場合に、チャネル層903の電子濃度は 1×10^{13} /cm²程度であり、これはGaAs系デバイスの約3倍になる。このような高濃度の二次元電子ガスが蓄積されることから、Ga_N系ヘテロ構造電界効果型トランジスタ(FET)として使用される半導体装置900は、パワーデバイスとして非常に有望視されている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の半導体装置900はいくつかの問題点を有する。この問題点として、(1)結晶成長技術、および、結晶成長技術に関連するプロセスが完全ではないため良質の結晶が得られていないこと、(2)エッチングプロセスの工程を経た場合にそのエッチングプロセスにより導入された損傷によりデバイス特性が劣化し、予測されるパワー特性が十分に実現されていないことが挙げられる。

【0006】結晶成長に関する問題のひとつは、バッファ層902に含まれるノンドープのGa_Nが通常n型を示し、キャリア濃度も 10^{16} /cm³程度あるいはそれ以上と高いことに起因する。これは、結晶成長時に構成元素である窒素(N)が抜け、窒素の空孔ができやすいからと考えられる。このような残留のキャリアがあると装置のGa_Nバッファ層902を介する漏れ電流成分が大きくなり、特に高温で動作させた場合にピンチオフ特性が悪くなるなど、素子特性の劣化につながる。また、複数のGa_N系ヘテロ構造FETを同一の基板に形成した場合にFET同士が互いに干渉し合い、正常な動作が妨げられるという素子分離に関する問題も生じる。さらにゲート電極907がこのGa_Nバッファ層902上方に設けられた場合には、ゲートリーク電流の増大や素子耐圧の低下などの問題が発生する。

【0007】エッチングプロセス技術上の問題点として、(バッファ層902に含まれる)Ga_N、または、(電子供給層904に含まれる)AlGa_Nの表面に損傷が形成されることが挙げられる。Ga_NまたはAlGa_Nはウェットエッチングを用いて除去あるいは削ることが困難であるため、通常ドライエッチングを用いてエッチング加工が行われるが、ドライエッチング時に形成される表面の損傷などによってバッファ層902または電子供給層904の表面にリーク電流が流れやすくなる。特に表面の窒素が欠乏することで、エッチングにより露出したバッファ層902表面の導電性が高まりリーク電流が増大すると考えられている。

【0008】本発明は以上述べたGa_N系ヘテロ構造FETの問題点に鑑みなされたものであり、その第一の目的はGa_N層中やGa_N層表面に意図せず導入される欠陥や傷に伴う残留キャリアによる表面リーク電流を著しく低減した半導体装置(Ga_N系ヘテロ構造FET)を提供するものである。本発明の第二の目的は、表面リーク電流を低減しつつ、素子の耐電圧(耐圧)を向上することのできる半導体装置(Ga_N系ヘテロ構造FET)を提供するものである。

【0009】

【課題を解決するための手段】本発明の半導体装置は、基板と、該基板の上に形成されたGa_Nを含むバッファ層であって、該バッファ層の表面がGa原子のc面である、バッファ層と、該バッファ層の上に形成されたGa_NまたはInGa_Nを含むチャネル層であって、該チャネル層の表面がGaまたはIn原子のc面である、チャネル層と、該チャネル層の上に形成されたAlGa_Nを含む電子供給層であって、該電子供給層の表面がAlまたはGa原子のc面である、電子供給層と、該電子供給層の上に形成されたソース電極およびドレイン電極と、該ソース電極と該ドレイン電極との間に形成されたGa_NまたはInGaAlNを含むキャップ層であって、該キャップ層の表面はGaまたはIn原子のc面であり、該キャップ層の少なくとも一部が該電子供給層に接する、キャップ層と、少なくとも一部が該キャップ層に接するように形成されたゲート電極と、を備える。

【0010】前記ゲート電極の少なくとも一部が前記電子供給層に接するように形成されてもよい。

【0011】前記ゲート電極が前記キャップ層の上に形成されてもよい。

【0012】前記キャップ層はInGaAlNからなり、該キャップ層の組成はc面内で前記バッファ層とは格子定数の整合がとれ、かつ該キャップ層内に発生する分極の大きさの絶対値が前記電子供給層内に発生する分極の絶対値よりも大きくなるように該電子供給層は形成されてもよい。

【0013】前記キャップ層にn型不純物が部分的あるいは全体に添加されてもよい。

【0014】前記ゲート電極が前記ドレイン電極よりも前記ソース電極の近くに位置してもよい。

【0015】前記ゲート電極の表面積が前記キャップ層の表面積よりも大きいてもよい。

【0016】前記ゲート電極は、前記キャップ層が薄膜化または除去された領域に位置してもよい。

【0017】前記ゲート電極は前記キャップ層の前記ソース電極側に形成され、該ゲート電極と前記ドレイン電極との間に前記キャップ層が形成されてもよい。

【0018】前記キャップ層は、前記電子供給層の上に形成された半導体層と、該半導体層上に形成された絶縁膜とを備えてもよい。

【0019】上記の構成とすることで、ショットキー接合の障壁高さを高めることにより、ソース抵抗の増大を防止しつつリーク電流を低減すること、あるいはソース抵抗の増大を防止しつつ耐圧の向上を図ることができる半導体装置を提供することができる。さらに、キャップ層をゲート・ドレイン間のより広い範囲に残した構造とすることで、さらに半導体装置の耐圧を向上させることができる。

10 【0020】本発明の半導体基板は、基板と、該基板の上に形成されたAlGa_Nを含むバッファ層であって、該バッファ層の表面がN原子のc面である、バッファ層と、該バッファ層の上に形成されたAlGa_Nを含む電子供給層であって、該電子供給層の表面がN原子のc面である、電子供給層と、該電子供給層の上に形成されたGa_NまたはInGa_Nを含むチャネル層であって、該チャネル層の表面がN原子のc面である、チャネル層と、該チャネル層の上に形成されたソース電極およびドレイン電極と、該ソース電極と該ドレイン電極との間に形成されたAlGa_Nを含むキャップ層であって、該キャップ層の表面はN原子のc面であり、該キャップ層の少なくとも一部が該チャネル層に接する、キャップ層と、少なくとも一部が該キャップ層に接するように形成されたゲート電極と、を備える。

20 【0021】前記ゲート電極の少なくとも一部が前記チャネル層に接するように形成されてもよい。

【0022】前記ゲート電極が前記キャップ層の上に形成されてもよい。

【0023】前記ゲート電極が前記ドレイン電極よりも前記ソース電極の近くに位置してもよい。

30 【0024】前記ゲート電極の表面積が前記キャップ層の表面積よりも大きいてもよい。

【0025】前記ゲート電極は、前記キャップ層が薄膜化または除去された領域に位置してもよい。

【0026】前記ゲート電極は前記キャップ層の前記ソース電極側に形成され、該ゲート電極と前記ドレイン電極との間に前記キャップ層が形成されてもよい。

【0027】前記キャップ層は、前記電子供給層の上に形成された半導体層と、該半導体層上に形成された絶縁膜とを備えてもよい。

40 【0028】上記の構成とすることで、ショットキー接合の障壁高さを高めることにより、ソース抵抗の増大を防止しつつリーク電流を低減すること、あるいはソース抵抗の増大を防止しつつ耐圧の向上を図ることができる半導体装置を提供することができる。さらに、キャップ層をゲート・ドレイン間のより広い範囲に残した構造とすることで、さらに半導体装置の耐圧を向上させることができる。

【0029】

50 【発明の実施の形態】(実施の形態1)本発明の第1の実施形態に係る半導体装置を図面に基いて説明する。

図1Aは本発明の第1の実施形態に係る電界効果型トランジスタ(FET)100の断面図であり、図1Bはその上面図である。電界効果型トランジスタ100は、サファイアまたはSiCから形成される基板101の上に、膜厚が約2~3 μm のGa_{0.5}N_{0.5}バッファ層102、Ga_{0.5}N_{0.5}またはInGa_{0.5}N_{0.5}から形成されるチャネル層103、AlNの組成比が約0.15から0.5であり、Siなどのn型不純物を約 $2 \times 10^{18} \text{ cm}^{-3}$ の濃度で添加したn型AlGa_{0.5}N電子供給層104および膜厚が約10~20nmのGa_{0.5}N_{0.5}キャップ層105が順次積層された構造である。Ga_{0.5}N_{0.5}キャップ層105は中央部のみ残して選択的にエッチング除去され、ゲート電極107がGa_{0.5}N_{0.5}キャップ層105上に形成される。ソース電極106およびドレイン電極108は、ゲート電極107に隣接して、Ga_{0.5}N_{0.5}キャップ層105が除去されて露出した後のAlGa_{0.5}N_{0.5}電子供給層104表面上に形成される。ここで、各窒化物層の表面はIII族原子のc面で形成されている。

【0030】図1Bに示すように、素子形成領域109の周囲には、素子形成領域109を取り囲む分離領域110がイオン注入などのエッチングを伴わない方法によって形成されている。Ga_{0.5}N_{0.5}キャップ層105はゲート電極107よりも広い範囲に形成される。また、Ga_{0.5}N_{0.5}キャップ層105はソース電極106およびドレイン電極108と接触しないように形成される。Ga_{0.5}N_{0.5}キャップ層105は実効的なショットキー電極の障壁高さ(ピークポテンシャル)を高めるように作用し、これはGa_{0.5}N_{0.5}キャップ層105とAlGa_{0.5}N_{0.5}電子供給層104に発生する分極の大きさの差によって説明される。

【0031】次に、このような構成の電界効果型トランジスタ100に応力が加わった場合に発生する分極の影響について説明する。

【0032】Ga_{0.5}N_{0.5}バッファ層102は格子不整合に伴う圧縮歪を緩和するのに十分に厚いため、歪の影響によるピエゾ分極は発生せず、自発分極のみが発生する。これに対して、AlGa_{0.5}N_{0.5}電子供給層104は引っ張り歪を受け、自発分極に加えて内部に大きなピエゾ分極が発生する。この分極の方向は、基板101のc軸方向すなわち基板101の表面に垂直な方向である。このような分極の効果を考慮して、図1Aに示した半導体装置100についてGa_{0.5}N_{0.5}キャップ層105とゲート電極107との界面を基準(距離0)とした深さ方向のポテンシャルを理論的に計算した結果を図2に示す。

【0033】図2では、Ga_{0.5}N_{0.5}キャップ層105の厚さが10nm、ゲート電圧が0Vに設定している。分極の影響によってGa_{0.5}N_{0.5}キャップ層105に電位差が生じ、それによりAlGa_{0.5}N_{0.5}電子供給層104とのヘテロ界面におけるポテンシャル(図2に示したピークポテンシャル)が引き上げられる。このため実効的なショットキー障壁が高くなる。

【0034】図3には、Ga_{0.5}N_{0.5}キャップ層105の厚さを0~20nmまで変化させた場合の実効的な障壁高さ(ピークポテンシャル)の変化(図3において×で示す)と、Ga_{0.5}N_{0.5}キャップ層105とAlGa_{0.5}N_{0.5}電子供給層104とのヘテロ界面に溜まる電子の濃度変化(図3において○で示す)を理論的に計算した結果を示す。

【0035】図3に示すように、Ga_{0.5}N_{0.5}キャップ層105の厚さが増すとともに、実効的なショットキー電極の障壁高さ(ピークポテンシャル)は徐々に高くなる一方、Ga_{0.5}N_{0.5}キャップ層105とAlGa_{0.5}N_{0.5}電子供給層104とのヘテロ界面に溜まる電子の濃度は低下することがわかる。ピークポテンシャルが増加する理由は、Ga_{0.5}N_{0.5}キャップ層105に対するショットキー電極の障壁高さが一定であるのに対して、Ga_{0.5}N_{0.5}キャップ層105で発生する電位差がGa_{0.5}N_{0.5}キャップ層105の膜厚の増加と共に大きくなるからである。従って、Ga_{0.5}N_{0.5}キャップ層105を挿入することはピークポテンシャルを効果的に増大させる。また、Ga_{0.5}N_{0.5}キャップ層105の厚さが増すとともに電子濃度は低下する。これはGa_{0.5}N_{0.5}キャップ層105に発生する電位差だけゲート電極に逆バイアスが印加されたことに起因する。

【0036】以上のように、Ga_{0.5}N_{0.5}キャップ層105を設けることでピークポテンシャルが増し、ヘテロ界面に溜まる電子の濃度が低下する。これらはすべて電界効果型トランジスタの高耐圧化に寄与する。しかしながら、リーク電流にはバッファ層102の表面を伝わって流れる成分があり、特にバッファ層102に含まれるGa_{0.5}N_{0.5}のように表面の窒素原子が欠乏することによってドナーを生成するような材料では、このリーク電流成分を低減することが重要となる。またヘテロ界面に溜まる電子の濃度が低下することは、Ga_{0.5}N_{0.5}キャップ層105がある領域の抵抗が増加することにつながり、電界効果型トランジスタのソース抵抗を増大させ、トランジスタの性能低下につながる。

【0037】本発明の電界効果型トランジスタ100では、ゲート・ソース間の領域のGa_{0.5}N_{0.5}キャップ層105が除去されている(すなわち、ソース電極106とキャップ層105が直接接触していない)ために、ソース抵抗がさらに低減される。さらに、ソース・ゲート間およびゲート・ドレイン間のリーク電流もGa_{0.5}N_{0.5}キャップ層105が除去されている(すなわち、ソース電極106とキャップ層105が直接接触せず、さらにドレイン電極108とキャップ層105が直接接触していない)ことにより低減できる。すでに述べたようにGa_{0.5}N_{0.5}キャップ層105に発生する電位差によって図1Bの矢印aで示す面内方向においてポテンシャルが不連続となり、リーク電流に寄与する電子はこの不連続値を越えるエネルギーを獲得しなければならないからである。室温のエネルギーは26meV程度であるので、ポテンシャルの不連続値が260meVあればリーク電流は4桁程度低下

することとなり、極めて大きな効果となる。実際に図3のピークポテンシャルの変化を見ると10nmの厚さのGa_Nキャップ層105を挿入することで、Ga_Nキャップ層105を挿入しない場合と比較して1eV程度のポテンシャル不連続値が得られるので、さらにリーク電流値を低減できることが期待される。

【0038】図4は本発明の実施の形態1の第1の変形例である電界効果型トランジスタ(FET)400を示す。電界効果型トランジスタ400は、図1Aを参照して説明した電界効果型トランジスタ100とは、ゲート電極407が積層されるGa_Nキャップ層405の部分がエッチングによって薄層化あるいは除去された構成とした点で異なる。図4では、ゲート電極407が、電流供給層404に接する例が示されている。このようにGa_Nキャップ層405が薄層化または除去され、その領域にゲート電極407が積層されることで、Ga_Nキャップ層405による相互コンダクタンスの劣化が防止される。この場合、ショットキー障壁高さの改善はされないものの、Ga_Nキャップ層とAlGa_N電子供給層の表面に水平な方向でのポテンシャルの不連続を利用することによりリーク電流の低減に寄与する。

【0039】なお、図1Aに示される半導体装置100では、キャップ層105の表面積がゲート電極107の表面積より大きい例を示したが、本発明はこれに限定されない。図5に本発明の実施の形態1の第2の変形例である電界効果型トランジスタ(FET)500を示す。電界効果型トランジスタ500は、図1Aを参照して説明した電界効果型トランジスタ100とは、Ga_Nキャップ層505の幅はゲート電極507の幅よりも小さい点で異なる。従って、電界効果型トランジスタ500において、ゲート電極507はGa_Nキャップ層505の両側に広がった状態で積層されている。この構成としても、リーク電流の低減と耐圧の向上という効果を得ることができる。

(実施の形態2) 図6A~図6Eに、本発明の第2の実施形態に係る電界効果型トランジスタ(FET)の断面図を示す。図6A~図6Eに示す電界効果型トランジスタは、耐圧の向上を目的にGa_Nキャップ層605を設けている。

【0040】図6Aに示される電界効果型トランジスタ(FET)600は、図1に示した電界効果型トランジスタ(FET)100とは、Ga_Nキャップ層605上に設けられるゲート電極607が、ソース電極606寄りに配置されている点で異なる。これにより、ゲート電極607直下のチャネル層603に広がる空乏層をよりドレイン電極608側に広げることができ、電界効果型トランジスタ600の耐圧を向上させることができる。

【0041】図6Bに示される電界効果型トランジスタ610は、図6Aに示した電界効果型トランジスタ600とは、ゲート電極607が形成されるGa_Nキャップ

層605の部分がエッチングによって薄層化あるいは除去された構成とした点で異なる。図6Bの電界効果型トランジスタ610では、ゲート電極607が電流供給層604に接するように、Ga_Nキャップ層はエッチングされている。図6Bに示す電界効果型トランジスタ610では、Ga_Nキャップ層605を導入することにより劣化する相互コンダクタンスを改善することができる。

【0042】図6Cに示される電界効果型トランジスタ620では、ゲート電極607はGa_Nキャップ層605上のソース電極606側の側縁部およびその側縁部に沿った電子供給層604上に設けられている。従って、Ga_Nキャップ層605は、ゲート電極607とドレイン電極608との間に位置する。図6Cに示す電界効果型トランジスタ620の構成では、ゲート・ソース間のリーク電流は改善されないが、ゲート・ドレイン間の耐圧は改善される。特にゲート電極607がソース電極606側のキャップ層605の側縁部上にまたがって形成されているので、ゲート電極607が電子供給層604に接する部分のドレイン電極側の領域における電界集中を緩和でき、したがって、ゲート・ドレイン間の耐圧がより改善される。また図6Bに示される電界効果型トランジスタ610と同様に、ソース抵抗の増大が防止できFETの相互コンダクタンスが改善できる。

【0043】以上の実施の形態では、キャップ層605としてGa_Nを用いた例を説明した。しかしながら、キャップ層605としてGa_Nを用いた場合、その厚さをあまり厚くできない。なぜなら、図3に示すようにGa_Nの厚さを増加することによってシート電子濃度が低くなりすぎること、および/または、ピークポテンシャルが高くなりすぎてキャップ層605と電子供給層604の間に正孔が蓄積するようになるという事態が生じるからである。キャップ層605をシート電子濃度に大きな影響を与えずに厚くしたいという要求は、図6Cに示した電界効果型トランジスタ620で特に生じる。電界効果型トランジスタ620でキャップ層605を厚くすれば、ゲート電極607のドレイン側近傍の電界集中が緩和され、電界効果型トランジスタ620の耐圧が向上するからである。さらに、電界効果型トランジスタ620でキャップ層605を厚くすると、ゲート電極607がキャップ層605に重なっている部分の寄生ゲート容量を低減でき、電界効果型トランジスタ620の高周波特性を改善することにつながる。

【0044】適度に低下させたシート電子濃度を保ちつつ、キャップ層605の厚さを厚くする方法として次の二つが挙げられる。第一は、Ga_Nキャップ層605の代わりにInGaAlNキャップ層を用いることである。第二は、キャップ層にn型不純物を添加し、キャップ層で生じる電位差を少なくするものである。

【0045】第一の方法において、InGaAlNの組成に要求される要件の1つは、膜厚を厚くためにc面の

【0048】上記のキャップ層の構成は、実施形態の実現性を示すための一例であって、実際には様々な温度と厚さを組み合わせたキャップ層を設計することができる。また図6Bおよび図6Cに示す電界効果型トランジスタ610、620のようにゲート電極による電荷制御がゲート電極607と電界供給層604との接する部分で主になされる場合には、図6Dおよび図6Eに示す電界効果型トランジスタ630、640のようにキャップ層605は、n型Ga_N層などの半導体層605bとその上に形成した絶縁膜605aの組み合わせでもかまわない。絶縁膜としてはSiO₂膜や窒化シリコン膜が用いることができるが、界面準位密度が低いといわれている窒化シリコン膜を用いるほうが望ましい。なお、図6

【0050】GaNを主体とするヘテロ構造電界効果型トランジスタ700において、表面がV族原子となるような分子線エピタキシー法における成長条件はすでに報告されている。表面がV族原子となるように成膜を行った場合、各層に発生する分極の方向は表面がIII族原子

子の場合とは逆となるため、図1Aに示した電界効果型トランジスタ100のバッファ層102を形成する材料としてGa_{0.9}Nの代わりに、バッファ層702としてAlGa_{0.1}Nが用いられている。その上にSiなどのn型不純物を添加したAlGa_{0.1}Nを含む電子供給層703、チャンネル層704が順次形成されている。チャンネル層704への電子供給はチャンネル層704の下にあるAlGa_{0.1}N電子供給層703からとチャンネル層704と電子供給層703間の分極の差により誘起されるプラスの電荷とによりなされる。従って、通常このチャンネル層704にゲート電極が直接形成されることになる。ここでAlGa_{0.1}Nバッファ層702は格子歪が緩和するように十分厚く形成され、Ga_{0.9}NまたはInGa_{0.1}Nを含むチャンネル層704は圧縮歪を受けるので数10nmと比較的薄く形成される。キャップ層705としては、Ga_{0.9}Nの代わりにAlGa_{0.1}Nを用いる。

【0051】このような構成とすることで、ソース抵抗の増大の防止、リーク電流の低減が図られることは実施形態1のところで説明したことと同様の理由による。

【0052】さらに、本実施形態において多数の変形例が考えられ、図8A～図8Eに電界効果型トランジスタ(FET)としてそれらの変形例を示す。ただし、図8A～図8Eに示される電界効果型トランジスタにおいて、各窒化物層の表面はV族原子(窒素)のc面で形成されている。

【0053】図8Aに示される電界効果型トランジスタ800は、図4に示される電界効果型トランジスタ400と同様にゲート電極807を形成するAlGa_{0.1}Nキャップ層805の部分がエッチングによって薄層化または除去された構成としたものである。このような構成とすることで、AlGa_{0.1}Nキャップ層805を導入することにより劣化する相互コンダクタンスを改善することができる。

【0054】図8Bに示される電界効果型トランジスタ810は、図5に示される電界効果型トランジスタ500に対応する。電界効果型トランジスタ(FET)810において、ゲート電極807はAlGa_{0.1}Nキャップ層805の上に形成されるが、AlGa_{0.1}Nキャップ層805の表面積はゲート電極807の表面積よりも小さい。従って、AlGa_{0.1}Nキャップ層805はゲート電極807の底面よりも内側に形成された構成となる。電界効果型トランジスタ810の構成とすることで、リーク電流の低減と耐圧の向上を図ることができる。

【0055】図8Cに示される電界効果型トランジスタ820は、図6Aに示される電界効果型トランジスタ600に対応する。電界効果型トランジスタ820は、図8Aに示した電界効果型トランジスタ(FET)800とはAlGa_{0.1}Nキャップ層805上に設けられるゲート電極807の位置が異なる。ゲート電極807をソース電極806側に配置することによって、ゲート・ドレイン

ン間におけるAlGa_{0.1}Nキャップ層805の占める領域がより広がる。このような構成にすることによってゲート電極807直下のチャンネル層804に広がる空乏層をよりドレイン電極808側に広げることができ、電界効果型トランジスタ820の耐圧を向上させることができる。

【0056】図8Dに示される電界効果型トランジスタ830は、図6Bに示される電界効果型トランジスタ610に対応する。電界効果型トランジスタ830は、図8Cに示した電界効果型トランジスタ820と、ゲート電極807が形成されるAlGa_{0.1}Nキャップ層805の部分がエッチングによって薄層化あるいは除去される点で異なる。電界効果型トランジスタ830の構造のように、AlGa_{0.1}Nキャップ層805を導入することで、劣化する相互コンダクタンスを改善することができる。

【0057】図8Eに示される電界効果型トランジスタ840は、図6Cに示される電界効果型トランジスタ620に対応する。電界効果型トランジスタ840は、ゲート電極807とドレイン電極808との間にAlGa_{0.1}Nキャップ層805を設ける構成である。電界効果型トランジスタ840の構造にすることで、ゲート・ソース間のリーク電流は改善されないが、ゲート・ドレイン間の耐圧は改善される。

【0058】キャップ層805の厚さを厚くすることは、電界効果型トランジスタ840の構造でFETのゲート・ドレイン間の耐圧を向上する場合に有効となる。

しかしながら、表面がV族原子である場合、AlGa_{0.1}N以外の材料を用いてキャップ層805の厚さを厚くすることは簡単ではない。これはヘテロ構造の表面がIII族の場合と異なって、チャンネル層804を構成するGa_{0.9}Nが面内で圧縮応力を受けるため自発分極の方向とピエゾ効果による分極の方向が互いに逆向きになり、全体としてGa_{0.9}Nのチャンネル層804内部に発生する分極の絶対値はかなり小さくなるからである。AlGa_{0.1}Nバッファ層802と格子整合する材料ではAlGa_{0.1}Nよりも分極の値を小さくできる材料は見つからない。従って、実施の形態2で述べたようなキャップ層805へのドーピングの方がAlGa_{0.1}N以外の材料を用いてキャップ層を厚くするよりもより簡単で有効となる。

【0059】また実施の形態2で述べたようにキャップ層805としてAlGa_{0.1}N層とその上に形成した絶縁膜の組み合わせを用いることも、電界効果型トランジスタ830、840の場合に有効である。絶縁膜としてはSiO₂膜や窒化シリコン膜が用いることができるが、界面準位密度が低いといわれている窒化シリコン膜を用いるほうが望ましい。

【0060】なお本発明で示したGa_{0.9}Nバッファ層102、402、502、602、やAlGa_{0.1}Nバッファ層702、802はそれぞれ基板101、401、501、601および701、801上に層厚が100nm

程度の比較的薄いAlN層を介して形成される場合が従来より報告されているが、本発明はそのような場合にも本質的に何ら変わることなく適用できることは言うまでも無い。

【0061】

【発明の効果】本発明の半導体装置は、窒化ガリウム系ヘテロ構造のソース抵抗の増大を防止しつつリーク電流を低減すること、あるいはソース抵抗の増大を防止しつつ耐圧の向上を図ることができる半導体装置（電界効果型トランジスタ）を提供する。その結果、窒化ガリウム系ヘテロ構造の半導体装置のパワー特性向上が可能となる。

【図面の簡単な説明】

【図1A】本発明の第1の実施の形態による電界効果型トランジスタを説明する断面図である。

【図1B】本発明の第1の実施の形態による電界効果型トランジスタを説明する上面図である。

【図2】本発明の第1の実施形態に関わるポテンシャル図である。

【図3】本発明の第1の実施形態に関わるシート電子濃度およびピークポテンシャルのGa_{0.5}N_{0.5}キャップ層厚依存性を示すグラフである。

【図4】本発明の第1の実施形態の変形例による電界効果型トランジスタを説明する断面図である。

【図5】本発明第1の実施形態の別の変形例による電界効果型トランジスタを説明する断面図である。

【図6A】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

【図6B】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

30

【図6C】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

【図6D】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

【図6E】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

【図7】本発明の第3の実施の形態による電界効果型トランジスタを説明する断面図である。

【図8A】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

【図8B】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

【図8C】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

【図8D】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

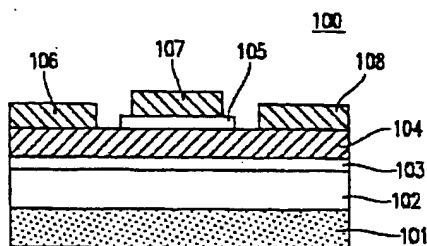
【図8E】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

【図9】従来の電界効果型トランジスタを説明する断面図である。

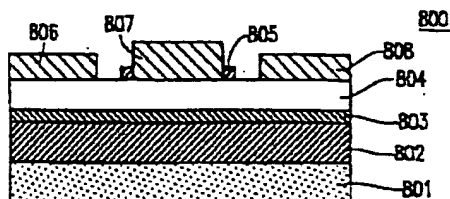
【符号の説明】

- 101 基板
- 102 バッファ層
- 103 チャンネル層
- 104 電子供給層
- 105 キャップ層
- 106 ソース電極
- 107 ゲート電極
- 108 ドレイン電極

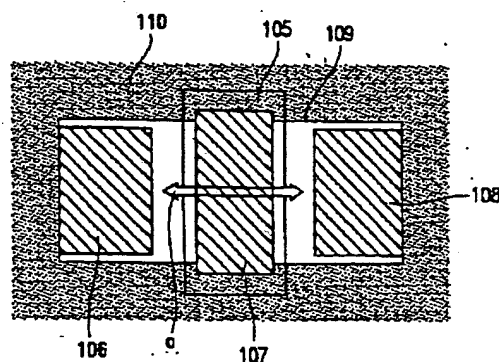
【図1A】



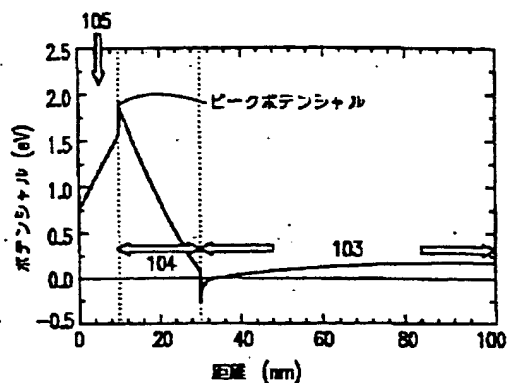
【図8A】



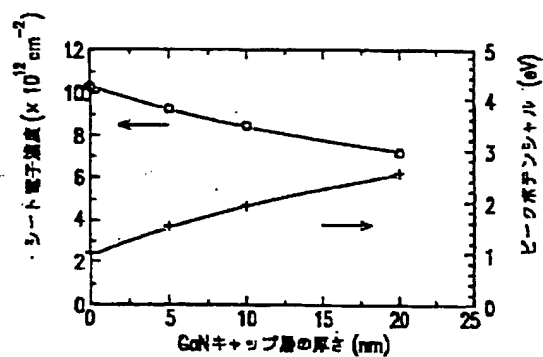
【図1B】



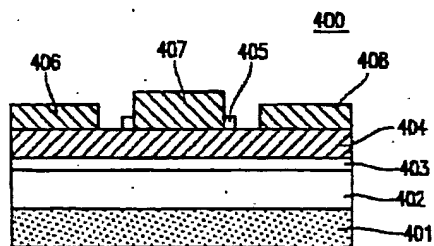
【図2】



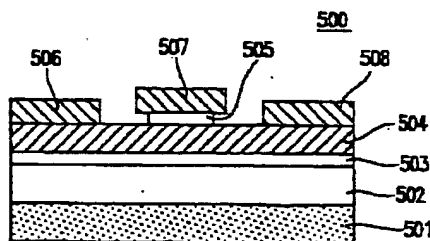
【図3】



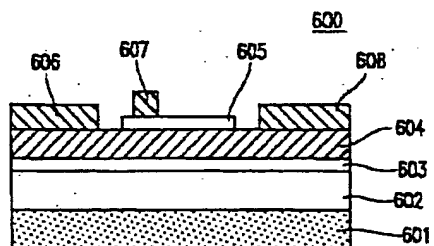
【図4】



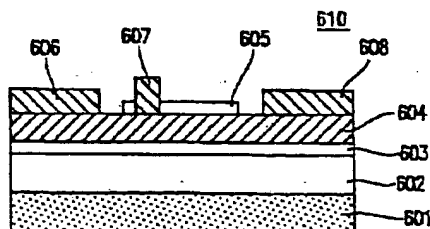
【図5】



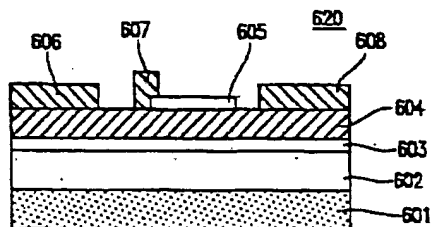
【図6A】



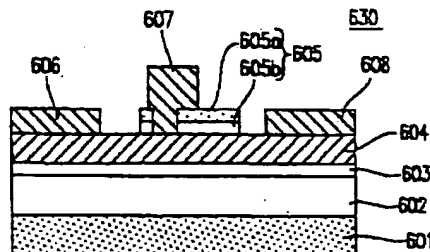
【図6B】



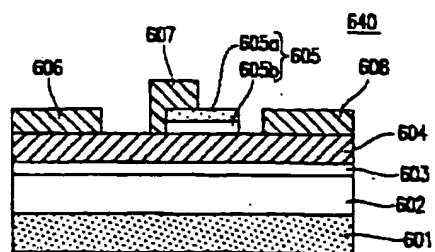
【図6C】



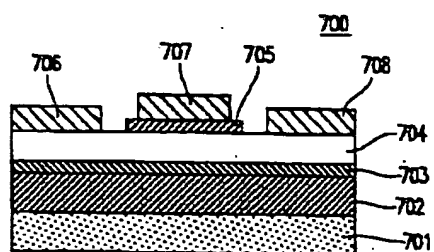
【図6D】



【図6E】

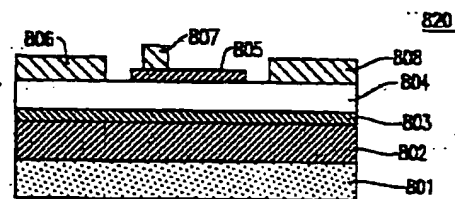
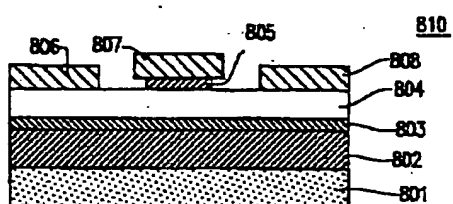


【図7】



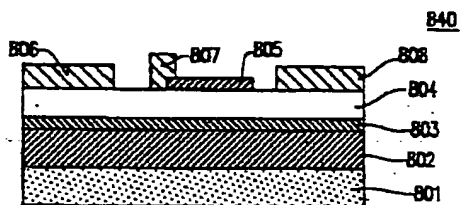
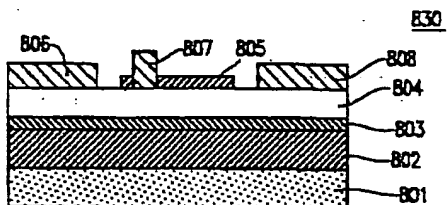
【図8C】

【図8B】

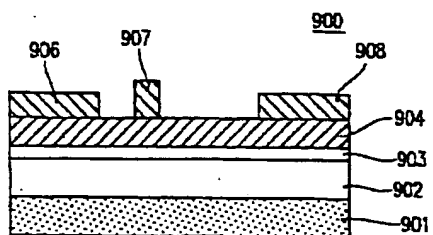


【図8E】

【図8D】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.